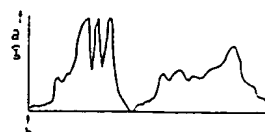
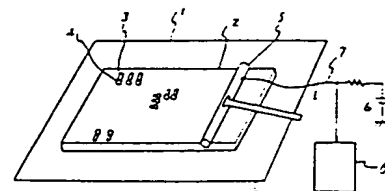


(54) CONTINUITY MEASURING JIG FOR SUBSTRATE

(11) 61-274278 (A) (43) 4.12.1986 (19) JP
 (21) Appl. No. 60-117122 (22) 30.5.1985
 (71) NEC CORP (72) YASUHISA KOIKE
 (51) Int. Cl. G01R31/02

PURPOSE: To enable a simple and accurate continuity checking to be performed in a short time, by rolling a conducting roller from one end to the other end of a sample wiring board to compare the detection waveform with the waveform of the accepted board.

CONSTITUTION: A conductive mat 1 is laid under a wiring board 2 to be measured. Here, electrodes on the back of the board 2 shall be earthed with the conducting mat 1. An electrode 3 on the board 2 on the mat 1 is connected to the back of the board 2 by way of a through hole 4. To check the board 2 for opening and short-circuiting, a roller 5 is rolled from the right to left end of the board and the waveform of the current flowing through a connection line 7 connected to the roller 5 from the positive output terminal of a DC power source 6 with the negative output terminal grounded is compared with the reference waveform of the accepted board by a waveform comparator 8 to detect the opening and short-circuiting of the sample wiring board.



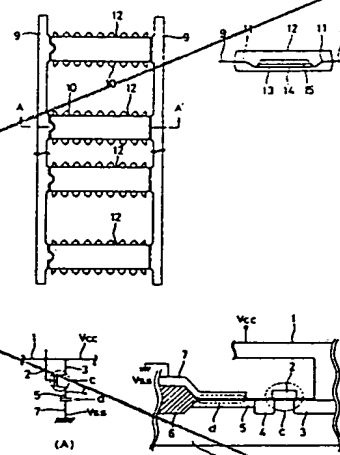
2: sample wiring board, 5: conductive roller, a: current
 (b): right end of board, c: left end of board

(54) SCREENING OF SEMICONDUCTOR

(11) 61-274279 (A) (43) 4.12.1986 (19) JP
 (21) Appl. No. 60-117051 (22) 30.5.1985
 (71) TOSHIBA CORP (72) KOZO OTANI
 (51) Int. Cl. G01R31/26, H01L21/66

PURPOSE: To enable the screening of an oxide film of a capacitor portion to be performed, by applying a voltage to an outer lead and a lead frame with a tab hanging lead of a semiconductor linked to the lead frame without having adverse effect on other circuits in the semiconductor.

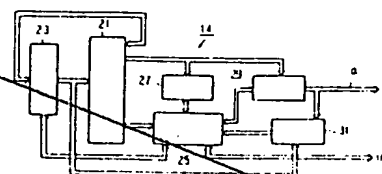
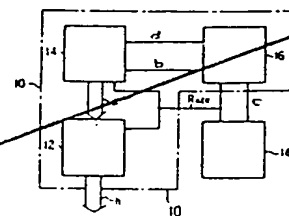
CONSTITUTION: A tab hanging lead 11 supports a tab 13. Power source terminals V_{CC} and V_{SS} of a memory cell are connected to any of outer leads 10. Under such a condition, a negative voltage is applied to a lead frame 9 and 0 volt is applied to the outer lead 10 connected to the terminals V_{CC} and V_{SS} . With such an arrangement, a plurality of semiconductors connected to the frame 9 can be screened simultaneously. After the completion of the screening, an ordinary resin sealed type semiconductor can be obtained by cutting off the tab hanging lead 11 along a resin 12.

**(54) PATTERN GENERATOR**

(11) 61-274280 (A) (43) 4.12.1986 (19) JP
 (21) Appl. No. 60-117273 (22) 30.5.1985
 (71) HITACHI ELECTRONICS ENG CO LTD (72) TAKUMI SHIMOKAWA(1)
 (51) Int. Cl. G01R31/28

PURPOSE: To curtail the memory capacity, by dividing a memory equivalent to the conventional pattern program memory into a pattern data memory and a command program to store a pattern data into the former and a command program into the latter.

CONSTITUTION: A pattern data memory section 12 which stores a test pattern data necessary for testing the function of a device (IC) to be inspected into an internal memory outputs a test pattern data (h) at the address as specified by address information (a) provided from a test sequence processor 14. In a memory 21 which stores a microcommand program, a microcommand is read out of the address as specified by address information provided from a program counter section 23. The operation code of the microcommand is inputted into a control section 25 and a compression operand is inputted into the program counter 23 while a non-compression operand is inputted into an index section 27 and an address generating section 29.



12: test pattern data memory section, 14: test sequence processor, 18: timing generation section, 21: pointer section, a: busy break, b: match fail, c: start stop

⑫ 公開特許公報(A)

昭61-274278

⑤Int.Cl.⁴
G 01 R 31/02

識別記号

庁内整理番号
6829-2G

④公開 昭和61年(1986)12月4日

審査請求 未請求 発明の数 1 (全2頁)

⑥発明の名称 基板の導通測定治具

⑦特 願 昭60-117122

⑧出 願 昭60(1985)5月30日

⑨発 明 者 小 池 保 久 東京都港区芝5丁目33番1号 日本電気株式会社内
⑩出 願 人 日本電気株式会社 東京都港区芝5丁目33番1号
⑪代 理 人 弁理士 内 原 晋

明 細 書

1. 発明の名称

基板の導通測定治具

2. 特許請求の範囲

絶縁基板の少くとも表面側に導電配線が形成され、かつ、前記表面から裏面に導電貫通するスルーホールが設けられた試料とする配線基板に対し、接地電位で前記基板の裏側に敷く導電性のマットと、前記基板の表側の面に沿い転がす導電性のローラと、一端を接地し他端を接続線により前記ローラに接続した直流電源と、前記接続線に流れる電流波形を良品基板の基準波形と比較し前記試料基板のオープンおよびショートをチェックする電流波形比較装置とを備えたことを特徴とする基板の導通測定治具。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は導電配線基板の導通測定に関し、特にスルーホールを有し、前記基板の表裏が接続されている配線基板における導通測定用治具に関する。

〔従来の技術〕

従来、配線基板の導通チェックは、該基板上の電極に探針(プローバ)を立てて、テスターによりオープン、ショートをチェックしていた。スルーホールで該基板の表裏接続している場合も同様である。

〔発明が解決しようとする問題点〕

上述した従来の配線基板の導通チェックは、基板上の電極に探針を立ててチェックするため、探針の目合わせに困難があり、また探針の接触がうまくいかないという欠点がある。さらに、基板の種類が違うごとに、探針のセッティングをしなければならず非常に手間がかかっていた。

〔問題点を解決するための手段〕

本発明の配線基板の導通測定治具は、従来の測定探針(プローバ)の代わりに、導電性のマットとローラを有し、チェックする基板の可否判定手

段が測定値そのものの規格との比較でなく、良品基板との比較方式という合否判定手段を用いるものである。

〔実施例〕

次に、本発明について図面を参照して説明する。

第1図は本発明の一実施例を説明するための斜視図である。図において、1は導電性のマットであり、これを測定する配線基板2の下に敷く、この時、基板2の裏側の各電極は導電マット1によりアースに接地されるものとする。マット1の上に基板2を置く、3は基板2上の電極で、スルーホール4を介して基板2の裏側につながっている。この基板2のオープン、ショートチェックをするために、ローラ5を基板の右端から左端まで転がしてゆき、負の出力端子を接地した直流電源6の正の出力端子からローラ5につながっている接続線7に流れるところの電流波形、例えば第2図に示すような電流波形（これは、基板面を転がる導電性のローラ5が電極に触れると、基板の裏側と導通しているかいないかでいろいろの波形を示す。）

を、波形比較装置8において良品基板の基準波形と比較し、試料基板のオープンおよびショートを検出する。

〔発明の効果〕

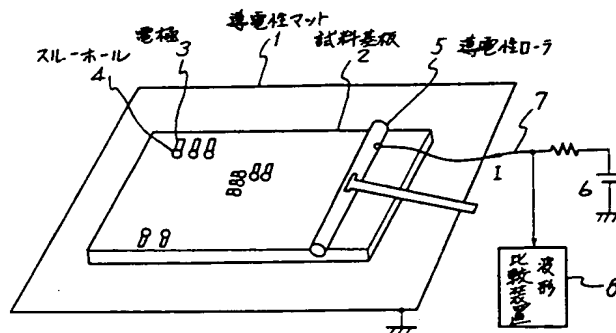
以上説明したように、本発明は、導電性ローラを試料配線基板の一方の端から他方の端まで転がすことにより、その検出波形を良品基板の波形と比較し、基板の導通チェックができる。よって、従来のような、探針を立てる時の位置ずれ等の問題とか、探針と基板電極との接触不良という問題もなくなり、簡単で、確実な導通チェックが短時間でできる効果がある。

4. 図面の簡単な説明

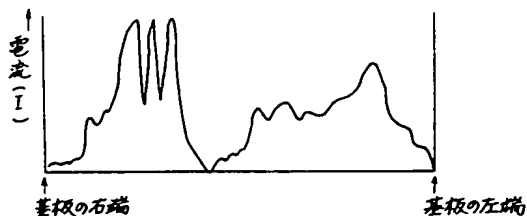
第1図は本発明の一実施例の構成を示す斜視図、第2図は第1図の波形比較装置に示される試料のチェック波形の一例を示す波形図である。

1……導電性マット、2……試料基板、3……電極、4……スルーホール、5……導電性ローラ、6……直流電源、7……接続線、8……波形比較装置。

代理人 弁理士 内 原 晋



第1図



第2図